

# 让出来的不是租金

## CXL 内存池化与控制器层价值捕获

内存原厂让出的是"自研"这个动作，不是租金；落地的是内存扩展而非池化，需求真起来时超大厂第一反应是自研 ASIC

## CXL 控制器的"卡点搬家", 在账面上还没有发生

涌现资本产业研究部 · 2026 年 7 月 28 日

### 30秒结论卡

**一句话判断：**内存原厂收缩自研 CXL 控制器，让出的是一个尚未产生可核验营收的设计岗位，不是一条正在收租的通道——把它读成"卡点搬到第三方控制器层"，会在两个地方走错：一是把**内存扩展**当成了**内存池化**，二是把**设计权转移**当成了**价值转移**。

**机会状态：**● 拥挤 / 回避（作为主题交易）· ● 观察（作为 2027–2028 远期期权）

**市场忽略了什么**

1. **命题里那个词是错的。**真正在跑生产的是 CXL 内存**扩展**（单主机挂容量），不是**池化**（多主机共享）。截至 2026 年 7 月，没有任何一家超大厂公开确认过多主机 CXL 2.0 池化的生产部署——公开材料只有三类：研究论文、展会演示、单主机扩展预览。
2. **需求真起来的地方，第一反应是自研而不是采购。**目前规模最大的真实 CXL 生产部署是 Meta 自研 ASIC「Vistara」，已铺到 Meta 自述的 millions of servers 量级。原厂让出的设计岗位，客户端正在自己接手。
3. **最该被算的那笔账，五家候选一家都没披露。**Astera Labs 不拆 Leo，澜起把 CXL MXC 打包进四款新产品合计口径，Rambus、Marvell、Microchip 在财报文件中零 CXL 量化披露。市面上任何"某公司 CXL 收入 X 亿"的说法都是推演。
4. **谷歌的同行评审论文直接否掉了池化的经济性：**基于生产 trace，即便把虚拟机膨胀到 16 倍，池化带来的利用率提升至多 1%。

**重点标的：**澜起科技 688008 ● · Astera Labs ALAB ● · Marvell MRVL ● · Rambus RMBS ● · Microchip MCHP ●

**最大反证：**2026 年内存超级短缺周期把内存存在服务器成本中的占比推到历史高位，第一次让 CXL 扩展用例的经济账算得过来（Meta Vistara 即为实证）。若 2027 年 CXL 2.0 Type 3 平台随 Xeon 6 / EPYC 9005 完成存量替换，且原厂确实退出设计层，控制器出货可在两年后进入真实放量——本篇的"回避"是针对当期定价，不是针对 2028 年的产业形态。

投资要点

一句话框架：这一层是"设计权在转移、租金还没开始收"——把设计权转移当成价值转移，是本主题最贵的一次误读。

| 核心观点                                                                 | 方向         |
|----------------------------------------------------------------------|------------|
| 落地的是内存扩展（单主机挂容量），不是内存池化（多主机共享）；两者投资含义相反                              | 🔴 命题前提不成立  |
| 原厂"放弃自研"的信号强度止于单一匿名媒体源，三家零公告；且美光本就外购，新增信息量极小                         | 🟡 待验证线索    |
| 需求真起来时超大厂自研 ASIC（Meta Vistara 已铺 millions of servers），让出的需求未必流向商用控制器 | 🔴 对主命题最强反证 |
| 控制器层过不了咽喉点定义：host 侧已被 CPU 内制，device 侧 IP 可现货外购                       | 🟡 细分寡头非咽喉  |
| 五家候选零 CXL 收入披露，任何弹性测算都缺地基                                            | 🔴 当期不可投    |
| 内存涨价第一次让 CXL 扩展经济账算得过来，2027-2028 是真兑现窗口                              | 🟡 远期期权     |

一、这个信号到底是什么强度

主题的起点是 2026 年 7 月 20 日一则韩媒报道，援引匿名业界人士，称三大内存原厂决定不再自研 CXL 控制器；次日经产业媒体转述后进入中文视野。

到本篇成稿为止，这条链条的证据强度如下：三星、SK 海力士、美光均无公告、无 IR 材料、无财报电话会表述、无 SEC 或 KRX 披露，亦无否认。所有中英文版本可追溯至同一首发，多家转载不构成多源交叉。因此本篇不把它当作事实前提，只当作待验证线索处理。

按该报道的内容，三家动作程度并不相同：美光停止内研、改采初创公司 Primemas 的 CXL 3.0 控制器方案；SK 海力士结项、工程资源转向存内计算（PIM）；三星自研控制器不对外销售、仅保留内部研发。媒体给出的动因是避免专有控制器蚕食标准 DIMM 主业。

这里有一处必须先纠正的读法。让出的是 CXL 控制器 ASIC 的自研设计权，不是 CXL 内存业务——三家在售的模组线一条都没停：

| 原厂     | 在售 CXL 模组                    | 规格（单模组口径）                                                     | 控制器来源                       |
|--------|------------------------------|---------------------------------------------------------------|-----------------------------|
| 美光     | CZ120（2023-08 发布） / CZ122    | 128 / 256GB · 36 GB/s · PCIe Gen5 x8 · CXL 2.0 Type 3 · E3.S  | Microchip SMC 2000（自发布起即外购） |
| 三星     | CMM-D 2.0 · CMM-B（4U 机架式内存盒） | 128 / 256GB · 最高 36 GB/s · CXL 2.0 · PCIe Gen5                | 自研与外购口径存在冲突（见第七节）           |
| SK 海力士 | CMM-DDR5                     | 96GB（由 24Gb 1anm DDR5 颗粒构成）· E3.S 2T · PCIe Gen5 x8 · CXL 2.0 | 未公告                         |

三家模组带宽同处 36 GB/s 量级，互为交叉印证。

这张表推翻了"结构性权力转移"的叙事强度：美光本就不是自研派，它从 2023 年首发起就用 Microchip 的控制器，所谓"放弃自研"终止的是一个从未产品化的内部项目，在售产品线毫无中断。控制器外购在原厂中本就是既有常态。整条报道真正的新增信息量，只剩"三星把自研从商用路线图上降级"这一条——而它恰恰是全链里最缺证据的一条。

## 二、命题被偷换了一个词：扩展不是池化

这是本篇最要紧的一处切分。二手报道系统性地把两件事混着写，而它们的投资含义相反。

- **内存扩展 (expansion)**：单台主机通过 CXL 挂更多容量。CXL 1.1 即可，已在生产。
- **内存池化 (pooling)**：多台主机共享一片可动态分配的内存池。需要 CXL 2.0 交换机与配套编排，至今未见任何超大厂公开确认的生产部署。

截至 2026 年 7 月，池化侧的公开材料只有三类，没有第四类：

1. **研究论文**。微软 Pond (ASPLOS'23) 基于 Azure 100 个生产集群的 trace，结论是经济最优池规模仅 8—16 个 CPU socket，相对同 NUMA 节点 DRAM 增加约 70—90ns 延迟，机架级池化因超过 180ns 而被否定——这是一篇给池化划边界的论文，不是给池化背书的论文。
2. **展会演示**。英特尔在 SC25 搭出 4 台 Granite Rapids-AP + CXL 交换机 + 22 颗美光 CZ122 = 5.6TB 共享池，语境明确是演示。
3. **单主机扩展预览**。2025 年 11 月 18 日 Astera Labs 公告 Leo CXL 2.0 控制器在 Azure M 系列虚拟机以 preview 形式启用（每控制器最多挂 2TB DDR5-5600 RDIMM），这是业界首个公开宣布的 CXL-attached 内存云部署——它属于扩展，不属于池化。

而池化这条路上还站着一篇同行评审的反对意见：谷歌三位作者的 HotNets'23 论文《A Case Against CXL Memory Pooling》，从成本、复杂度、效用三面给出否定结论。其中最具有杀伤力的一条量化是：对谷歌的生产 trace，即使把虚拟机膨胀到 16 倍，池化带来的利用率提升至多 1%；同时机架级池化所需的独立基础设施成本会吞掉省下来的内存钱。

延迟惩罚是物理层的，不因控制器厂的技术迭代而消失。本地主存访问约 120—140ns；Meta 在生产部署中自述，CXL 挂载内存相对直连内存延迟约高 60%、带宽约低 10 倍。可寻址的用例因此被钉死在"容量优先、冷数据层"，而不是热路径。

### 三、需求真起来的时候，钱没有流向商用控制器

这是本篇对主命题杀伤力最强的一条，且证据链最干净。

目前规模最大的真实 CXL 生产部署，用的是 Meta 自研的 in-house ASIC「Vistara」，不是任何第三方商用控制器。Meta 的原话是"we design an in-house CXL ASIC, Vistara"。配置细节：每颗 ASIC 两路 72-bit DDR4 通道、最高 256GB；MemServer 为 768GB DDR5-6400 + 256GB CXL 挂载 DDR4-2400（复用退役内存）= 1TB，挂 158 核 AMD Turin，PCIe 5.0 x8。Meta 称已在 millions of servers 规模生产部署，AI 推理服务器台数最多减少 25%。

含义直白：内存涨价确实第一次把 CXL 扩展的经济账算平了（2023 年内存占服务器成本约 40%—50%，2026 年短缺周期下显著抬升），但被这笔账召唤出来的第一个大买家，选择了自己画一颗 ASIC。原厂退出自研，让出的需求同时流向两个方向——商用控制器厂，和客户自研 ASIC——而后者已经出货，前者还在预览。

第二条佐证来自纯玩家自己的收入表。Astera Labs 2026 年 Q1 营收 3.084 亿美元（同比 +93%、环比 +14%），公司口径明确增长来自 Scorpio（AI scale-up 交换）与 Aries，PCIe Gen6 产品线合计已超总营收三分之一；Leo（CXL）无任何单独营收披露。市场用真金白银买的是 scale-up fabric，不是 CXL。

第三条是资本投向。NVIDIA 于 2026 年 3 月 31 日宣布向 Marvell 投资 20 亿美元，换取其定制 XPU 采用 NVLink Fusion 兼容的 scale-up 网络。NVIDIA GPU 不支持 CXL，AMD 侧仅限 MI300A。CXL 守住了 CPU↔内存这一层，从未真正争夺加速器互联层——AI 时代新增的互联预算，绝大部分流去了另一个战场。

#### 钱流对照（本主题最直观的一张账）

内存涨价把钱推向了 DRAM 颗粒与 scale-up 互联，没有推向 CXL 控制器：

| 钱的去向            | 规模 / 证据                                                                 | 与 CXL 控制器的关系               |
|-----------------|-------------------------------------------------------------------------|----------------------------|
| DRAM 颗粒<br>(原厂) | 2026 内存超级短缺周期，原厂把工程与产能资源全压 HBM / DDR5                                   | 原厂卖模组赚的是颗粒钱，控制器自研与否不影响这笔收入 |
| 客户自研 ASIC       | Meta Vistara 已在 millions of servers 生产部署                                | 直接替代商用控制器                  |
| Scale-up 互联     | NVIDIA 2026-03-31 投资 Marvell 20 亿美元绑定 NVLink Fusion；ALAB 增长由 Scorpio 驱动 | 抽走 AI 时代新增互联预算             |
| CXL 控制器         | 五家上市候选零单项收入披露；澜起 MXC 上限 2.69 亿元（打包口径）                                   | 本篇审查对象——账面上还没开始            |

## 四、价值链五层：卡点在哪，可投的在哪

|           |                                                                 |
|-----------|-----------------------------------------------------------------|
| 需求源       | 超大厂 / AI 推理内存墙 / 2026 内存涨价                                      |
| ↓         |                                                                 |
| 一级供应商     | 内存原厂模组 (CMM-D / CMM-DDR5 / CZ12x) — 卖的是 DRAM, 不是控制器             |
| ↓         |                                                                 |
| 真卡口候选     | CXL 控制器 ASIC ← 本篇的审查对象                                          |
| ↓         |                                                                 |
| 可投代理      | 澜起 MXC · ALAB Leo · MRVL Structera · MCHP SMC 2000              |
| ↓         |                                                                 |
| 已拥挤 / 未定价 | 主机侧 root port (已被 CPU 内制) · device 侧 IP (Synopsys / Cadence 现货) |

控制器层过不了真瓶颈四特征这一关，逐条看：

| 特征        | 判定 | 依据                                                                                                                                                                         |
|-----------|----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ① 短缺强度    | ✗  | 无缺货记录；出货量本身就没起来                                                                                                                                                            |
| ② 替代难度    | ●  | 主机侧 root port 已随 Intel / AMD 服务器 CPU 内制；device 侧控制器 IP 可从 Synopsys 与 Cadence 现货购买（两家均覆盖 CXL 1.x—3.1、host/device/switch 三模）。任何有 ASIC 能力的团队——包括 Meta、包括原厂自己——都能用同一批 IP 组一颗出来 |
| ③ 认证周期    | ●  | 原厂模组与 CPU 平台互操作认证周期长，构成真实但可跨越的门槛                                                                                                                                           |
| ④ AI 需求直驱 | ●  | KV cache 卸载是目前最有说服力的新叙事，但停留在厂商声称与设计导入阶段；ALAB 的定制 Leo KV cache 设计指引 2027 年才出货                                                                                               |
| ⑤ 集中度     | ●  | 澜起在 MXC 窄口径上份额极高、近乎独家                                                                                                                                                      |
| ⑥ 可投性     | ●  | 五家候选无一单列 CXL 收入；唯一有量产收入痕迹的澜起，其 CXL 被埋在打包口径里                                                                                                                                |

对冲一句：IP 能买 ≠ 做出低延迟可量产的控制器容易。②③ 两条是真实门槛，它们把控制器层削弱成“细分内寡头”，而不是彻底否定其价值——但寡头与咽喉点是两回事。咽喉点的定义是“绕不过去且能定价”，而这一层的现状是“绕得过去（CPU 内制 + IP 外购 + 客户自研），且还没到能定价的量”。

**四象限落点：真卡点买不到 / 假卡点很热之间偏后者。** 它不是霍尔木兹海峡，它是一条随内存扩展渗透率放大的接口芯片 beta，弹性来自渗透率而不是稀缺性——卖铲子的第二层。

## 五、公司卡：账面上的 CXL 是多少

共同结论先给出：五家候选无一披露 CXL 单项收入。这是本篇最可靠的一条发现，也是所有"CXL 弹性测算"的地基缺口。

### 1. 澜起科技 688008 ● —— 唯一有量产收入痕迹，但主力不在 CXL

2026 年半年度业绩预增公告（编号 2026-038）：营业总收入约 33.35 亿元（+26.6%），归母净利 19-21 亿元（+63.9%~81.2%），扣非净利 12.5-14.5 亿元（+14.5%~32.9%），剔除股份支付影响后归母净利 20.80-22.80 亿元。归母与扣非差额约 6.5 亿元，且剔除股份支付后的口径高于归母，说明差额主要来自非经常性损益——估值必须走扣非口径（净利率 37%-43%），用归母口径的 57%-63% 会系统性高估质地。

CXL 的真实体量：2026Q1「MRCD/MDB + PCIe Retimer + CKD + CXL MXC」四款新产品合计 2.69 亿元（+93.8%），占互连类芯片收入 19.0%。MXC 单品收入的上限就是 2.69 亿元，是主力还是零头无法从披露中判断。2026H1 互连类芯片收入 31.11 亿元、占总营收 93.3%，主力仍是 DDR5 RCD。迭代方面，CXL 3.1 代产品（M88MX6852，PCIe 6.2 PHY）2025 年 9 月推出并送样测试，量产代仍是 PCIe 5.0 的前代 MXC。

### 2. Astera Labs ALAB ● —— 增长引擎不是 CXL

2026Q1 营收 3.084 亿美元（+93% YoY / +14% QoQ），GAAP 毛利率 76.3%、非 GAAP 76.4%，非 GAAP 净利 1.101 亿美元（EPS 0.61 美元）；Q2 指引 3.55-3.65 亿美元、非 GAAP 毛利率约 73%（含约 200bp 一次性客户协议非现金影响，属指引非已实现）。Leo 路径清晰但早：Azure M 系列处 private beta，公司指引年底 GA；KV cache 卸载定制设计 2027 年出货。除微软外无第二家公开客户。

### 3. Marvell MRVL ● —— 刚把交换环节买进来，产品线才刚起步

以约 5.40 亿美元（现金加股票）收购 PCIe/CXL 交换芯片公司 XConn Technologies，10-Q 披露交割日 2026-02-10（口径提示：5.40 亿美元约合 39 亿元人民币，不是 billion）。基于 XConn IP 的 Structera S 系列于 2026 年 3 月 OFC 发布，其中 S 20256（CXL 2.0 交换）已在产，S 30260（260-lane CXL 3.0）预计 2026 日历 Q3 才开始送样。CXL 独立营收未披露。财务口径提醒：FY2027Q1（截至 2026-05-02）净收入 24.18 亿美元（+28%），GAAP 净利 3450 万美元（EPS 0.04 美元）与非 GAAP 净利 7.180 亿美元（EPS 0.80 美元）相差约 21 倍，摊销与股权激励是主因，两个口径不可混引。

### 4. Rambus RMBS ● —— 站在 IP 授权层，重心不在 CXL

2026Q2（2026-07-27 披露）营收 2.074 亿美元创纪录（+20% YoY / +15% QoQ），非 GAAP 净利 8440 万美元（EPS 0.77 美元），Q3 指引 2.10-2.16 亿美元。2026Q1 总收入 1.802 亿美元 = 产品 8800 万 + 版税 6960 万 + 合同及其他 2260 万（子项和自洽），其中版税同比 -6%。CXL 未构成可识别收入科目；管理层对 CXL 的公开态度偏保守，资源重心在 HBM4/HBM4E、DDR5 9600 与 PCIe 7 IP。

### 5. Microchip MCHP ● —— CXL 是期权，业绩引擎是另一回事

FY2026Q4（3 月财年制，截至 2026-03-31）净销售 13.11 亿美元（+35.1% YoY / +10.6% QoQ），非 GAAP 净利 3.273 亿美元（EPS 0.57 美元）；FY2026 全年净销售 47.13 亿美元（+7.1%）。SMC 2000



系列 CXL 控制器产品线在售（美光 CZ120 即采用），但零 CXL 量化披露，业绩由工业与汽车 MCU 的库存周期修复驱动——把它当 CXL 标的属于错配。

**未上市层（不可投，仅监控）：**Primemas（2023 年成立，2026Q1 完成 7200 万美元 B 轮，2025-06-24 送样其自称业界首颗 CXL 3.0 控制器 SoC，送样不等于量产不等于营收）· Panmnesia（2022 年成立，累计融资 1.02 亿美元，PCIe 6.4/CXL 3.2 融合交换 SoC 时点为 2027 年下半年）· XConn（已被 Marvell 收购）。

## 六、受益方落地与标的表

### 大公司受益链拆解

- **需求源：**超大厂内存墙 + 2026 内存超级短缺周期
- **直接受益：**内存原厂（卖的是 DRAM 颗粒价值，与控制器是否自研无关）
- **二阶受益：**CXL 控制器与交换（澜起 MXC · ALAB Leo · MRVL Structera · MCHP SMC 2000）
- **隐形受益：**EDA / IP 层（Synopsys · Cadence，控制器 IP 现货供应商，谁做控制器都收一道）
- **伪受益：**把 Microchip、Marvell 列为“承接原厂让出份额”的说法无原始依据——Microchip 是既有供应商而非新增承接方，混入会制造虚假的份额转移
- **不可投但监控：**Primemas · Panmnesia · Meta 自研 Vistara（客户自研路线本身）

**标的表**（现价为 2026-07-28 取数；A 股为当日收盘，美股为最近收盘）



| 标的                       | 现价                 | 市值         | 估值                                    | 在本主题中的位置                                   | 状态                     |
|--------------------------|--------------------|------------|---------------------------------------|--------------------------------------------|------------------------|
| 澜起科技<br>688008           | ¥206.04（当日 -9.41%） | ¥2,514.8 亿 | 动态 PE 98.3x；须用扣非口径（H1 扣非 12.5—14.5 亿） | MXC 近乎独家，但收入被埋在四品打包的 2.69 亿内，主力仍是 DDR5 RCD | 🟡 真卡点在 RCD 不在 CXL·估值透支 |
| Astera Labs<br>ALAB      | \$282.52           | \$484 亿    | TTM PE 196x                           | Leo 是唯一公开云部署，但增长由 Scorpio 驱动；CXL 属 2027 期权 | 🟡 高倍数·CXL 非当期业绩        |
| Marvell MRVL             | \$189.17           | \$1,698 亿  | TTM PE 65x                            | 买下 XConn 补齐交换环节；S 30260 2026Q3 才送样         | 🟡 CXL 是小分子·主线在定制 XPU   |
| Rambus<br>RMBS           | \$96.42            | \$104 亿    | TTM PE 45.7x                          | IP 授权层，重心在 HBM4 / DDR5 9600 / PCIe 7       | 🟡 内存接口好资产·非 CXL 表达     |
| Microchip<br>MCHP        | \$77.90            | \$423 亿    | TTM PE 354x                           | SMC 2000 在售但零量化披露；业绩由 MCU 周期驱动             | 🔴 错配·勿当 CXL 标的         |
| Synopsys /<br>Cadence    | —                  | —          | —                                     | 控制器 IP 现货供应商，谁做控制器都收一道                     | 🟡 谁赢都收税·但 CXL 占比可忽略    |
| Primemas ·<br>Panmnnesia | —                  | 未上市        | —                                     | 送样阶段，被传闻点名的承接方                             | ⚪ 不可投·仅监控              |

为什么整表没有一个 🟢：一个卡点若要给出"买入"，至少要满足"稀缺"与"能收租"两条。这一层目前两条都不满足——出货没起来，收入没披露。在这种状态下给绿灯，等于用 2028 年的产业形态去为 2026 年的估值背书。

情景表（方向与赔率，不给精确目标价）

| 情景         | 核心假设                                              | 结果                           | 标的动作                                |
|------------|---------------------------------------------------|------------------------------|-------------------------------------|
| 🔴 熊（概率偏高）  | 原厂传闻不获证实或无实质影响；池化继续停在论文与演示；扩展需求被客户自研 ASIC 吃掉      | CXL 控制器长期停留在"接口芯片小分子"，主题热度归零 | 全部回避；澜起、ALAB 的价值回到 RCD 与 Scorpio 本身 |
| 🟡 基准       | 扩展用例随 Xeon 6 / EPYC 9005 存量替换缓慢渗透；控制器随渗透率增长，但仍不单列 | 控制器层是随渗透率放大的 beta，无定价权       | 只观察不加仓；等首次收入单列                      |
| 🟢 牛（需两步兑现） | 原厂确认退出设计层 + 任一候选首次单列可核验 CXL 收入 + 超大厂宣布池化生产部署      | 卡点搬家论点成立，2027–2028 进入真实放量    | 届时重排评级；当前不为该情景预付估值                  |

## 七、数据冲突与口径

本主题的数字污染程度高于平均水平，以下逐条列出未能调和的分歧，不做抹平。

| 冲突项            | 分歧内容                                                                                               | 处理                                                                     |
|----------------|----------------------------------------------------------------------------------------------------|------------------------------------------------------------------------|
| CXL 市场规模       | 卖方口径：2027 年约 45 亿美元、2030 年 70—100 亿美元；市研口径（控制器 IC）：2026 年 7,081 万美元 → 2031 年 3.13 亿美元。两者相差 15—60 倍 | 口径不在一个层级（前者含 CXL-attached DRAM 颗粒价值，后者仅控制器芯片）。在调和前， <b>不用任一数推算个股弹性</b> |
| Yole 远期 TAM    | CXL 相关市场 2028 年超 150 亿美元、其中 DRAM 部分超 120 亿美元                                                       | 属早期新闻稿口径的远期预测，非任何已实现营收，且未见近期更新。仅作背景，不作锚点                               |
| 三星 CMM-D 控制器来源 | 三星官网称 CMM-D 集成"自有 CXL 控制器"，与韩媒称外售改用 fabless 控制器并存                                                  | 现有材料无法裁决，并列保留                                                          |
| SK 海力士自研状态     | 2025-02 被报道自研 CXL 3.0/3.1 交台积电流片；2026-07 被报道项目终止                                                   | 两条均为媒体源，无法判定是取消、延期还是口径变化                                               |
| CPU 平台 CXL 版本  | 二手源对 Intel / AMD 各世代支持到 CXL 几点几互相矛盾，同一来源内部亦自相冲突                                                    | 未取得原厂数据手册，只写定性：主流存量服务器绝大多数只有 1.1 点对点能力，不具备池化能力                         |

**已剔除、不进入本篇任何论证的数字：**①"三家累计 CXL 研发投入逾 120 亿美元"——无原始出处，且与 Yole"2028 年 CXL 市场中 DRAM 部分超 120 亿美元"数值完全重合，属把远期市场规模误植成资本开支；②"澜起 MXC 出货市占率 92%"——仅见于自媒体同源复述，无原始研究机构与统计口径；③"HBM 占 DRAM 产出 2%→25%"——出处不明、bit 与 wafer 口径未定。

**口径纪律三条：**厂商声称（如某控制器 3.64:1 有效内存扩展比）不等于第三方实测；规范支持（capable）不等于实际启用（enabled）——这是 CXL 叙事被长期高估的主要技术性来源；送样、设计中标、指引，都不等于营收。

## 八、风险与反证

风险一栏写的是"什么条件出现会让本篇结论作废"，不是免责套话。

| 反证信号                                                    | 触发后如何改写                                                                                                                                                                                        | 观察窗口       |
|---------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 原厂出现公告级确认（美光 FY26 Q4 电话会、SK 海力士业绩说明会问答、三星路线图更新中任一家正面表述） | 前提从 C 级传闻升为事实，"设计权转移"叙事获得地基——但仍需第二步（收入披露）才改变标的评级                                                                                                                                               | 未来两个季度     |
| 任一候选首次单列 CXL 收入，且规模进入可测算区间                              | 本篇"账面上还没发生"的核心论断直接作废，需重排评级                                                                                                                                                                     | 季报         |
| 超大厂宣布多主机 CXL 2.0 池化生产部署                                 | 第二节的扩展/池化切分被跨越，可寻址市场量级上一个台阶                                                                                                                                                                    | OCP / SC26 |
| CXL 通过官方合规认证名单显示在产供应商数量收敛到 2—3 家                        | 集中度从"细分寡头假说"升为可核事实，②替代难度评分上修                                                                                                                                                                   | 随时         |
| KV cache 卸载出现独立第三方实测复现（非厂商自述）                           | ④AI 需求直驱由  转  ，2027 期权提前定价 | 2027 前     |
| 内存价格回落                                                  | 扩展用例的经济账重新算不过来，Meta Vistara 类部署失去驱动，整条链条降温                                                                                                                                                     | 持续         |

本篇自身最脆弱的地方，一并交代：第一，全部关于三家原厂决策的表述都来自同一首发的转述链，正文付费墙未取得，这是整个主题的证据地基缺陷，任何基于它的推论都继承这一缺陷。第二，"控制器是商品层而非咽喉点"的判断，支撑项里有一条是"IP 可外购"，但 IP 可买不等于做出可量产的低延迟控制器容易——这条论证削弱咽喉点，但没有彻底关掉它。第三，本篇给的是**当期定价判断**，不是产业前景判断；2028 年 CXL 成为服务器标配与今天该不该为它付 98 倍或 196 倍，是两个问题。

## 九、行动清单

**现在买什么：**本主题没有给出买入项。

**重点观察：**澜起科技——它是唯一有 MXC 量产收入痕迹的上市玩家，其价值当下由 DDR5 RCD 支撑而非 CXL；若后续单列 MXC 收入且形成规模，是本主题最先出现基本面兑现的地方。观察前提是估值先回到扣非口径能解释的位置。

**只监控不买：**Primemas、Panmnesia 两家未上市控制器公司的量产节点；Meta Vistara 之后是否有第二家超大厂走自研路线（若有，商用控制器的可寻址市场被进一步压缩）。

**绝不追：**以"原厂让出份额"为理由的任何单日题材冲高。让出的是一个尚未收租的岗位，这个消息不改变任何一家的当期收入表。同样不要因为一家公司"有 CXL 产品线"就把它当 CXL 标的——Microchip 是最典型的错配案例。

**下次重点看这五个数**

- 澜起 2026 年三季度中「四款新产品」合计口径是否拆开，MXC 是否单列
- Astera Labs Leo 在 Azure 的 GA 时点是否兑现（公司指引为 2026 年底）

3. Marvell Structera S 30260 是否按 2026 日历 Q3 开始送样
4. 美光 FY26 Q4 电话会与 SK 海力士业绩说明会中，CXL 控制器策略是否被问及
5. CXL 官方合规认证名单上，在产控制器供应商的数量与代际分布

**什么信号出现要重写本篇结论：**任一候选在财报中首次给出可核验的 CXL 收入体量。在那之前，这一层是叙事，不是生意。

## 数字三道关自评

- ① **量级一致性：**澜起 2026H1 营收 33.35 亿元 > Q1 单季 14.61 亿元，扣非 12.5—14.5 亿元 < 归母 19—21 亿元，无“部分大于整体”；Rambus 2026Q1 产品 8800 万 + 版税 6960 万 + 合同及其他 2260 万 = 总收入 1.802 亿美元，子项和自洽；Microchip 单季 13.11 亿美元 < 全年 47.13 亿美元。
- ② **单位显式化：**澜起全部数字为人民币亿元，美股全部为美元；Marvell 收购 XConn 为 5.40 亿美元（约 39 亿元人民币），不是 billion；SK 海力士 CMM-DDR5 为 96GB 模组由 24Gb 颗粒构成（GB ≠ Gb）。
- ③ **多源与来源等级：**财务数据全部取自公司 IR、SEC 文件与上交所公告；原厂决策类表述仅有单一媒体源，已在正文与置信度表中逐处标 C。
- **已剔除：**三家累计 CXL 投入 120 亿美元、MXC 市占率 92%、HBM 占 DRAM 产出 2%→25%——三条均未过关，不进入任何论证。

来源置信度表（口径披露）

| 结论 / 数字                         | 来源                                                | 日期              | 口径              | 置信度 |
|---------------------------------|---------------------------------------------------|-----------------|-----------------|-----|
| 三家原厂收缩自研 CXL 控制器                | 韩媒报道（匿名业界人士）+ 产业媒体转述                              | 2026-07-20 / 21 | 单一首发，无公司确认      | C   |
| 美光 CZ120 采用 Microchip SMC 2000  | 美光与 Microchip 官方发布稿双源                             | 2023-08         | 产品发布            | A   |
| Meta 自研 CXL ASIC Vistara 及配置    | Meta 自述 + 多家科技媒体                                  | 2026-06         | 生产部署            | B+  |
| 池化利用率提升至多 1%                    | 谷歌 HotNets'23 同行评审论文（DOI 10.1145/3626111.3628195） | 2023            | 生产 trace 建模     | A   |
| Pond 最优池 8-16 socket / +70-90ns | 微软 ASPLOS'23 论文                                   | 2023            | 论文建模与原型，非商用硬件实测 | A   |
| 本地主存 120-140ns                  | 同上                                                | 2023            | 论文口径            | A   |
| CXL 挂载内存延迟高约 60% / 带宽低约 10 倍    | Meta 披露经媒体转述                                      | 2026            | 生产部署            | B   |

财务与交易类

| 结论 / 数字                                | 来源              | 日期         | 口径              | 置信度 |
|----------------------------------------|-----------------|------------|-----------------|-----|
| ALAB 2026Q1 财务与 Q2 指引                  | 公司 IR 新闻稿 + 8-K | 2026-05-05 | 日历季；Q2 为指引      | A   |
| 澜起 2026H1 业绩预增                         | 上交所公告 2026-038  | 2026-07    | 人民币亿元；须用扣非口径    | A   |
| 澜起四新品合计 2.69 亿元 / 占互连 19.0%            | 上交所季报           | 2026Q1     | 打包口径，MXC 不可单独识别 | A   |
| RMBS 2026Q2 财务                         | 公司 IR           | 2026-07-27 | 子项和自治           | A   |
| MRVL 收购 XConn 5.40 亿美元 / 交割 2026-02-10 | 10-Q 披露         | 2026       | 现金加股票           | A   |
| MCHP FY2026Q4 与全年                      | 公司 IR           | 2026-05    | 3 月财年制          | A   |
| NVIDIA 投资 Marvell 20 亿美元               | 多家科技媒体独立报道      | 2026-03-31 | 交易公告            | B   |

技术与规范类

| 结论 / 数字                  | 来源                  | 日期                     | 口径             | 置信度 |
|--------------------------|---------------------|------------------------|----------------|-----|
| Intel SC25 池化演示配置        | CXL Consortium 官方博客 | 2025-11                | 展会演示           | A   |
| CXL 3.2 / 4.0 规范发布       | CXL Consortium 官方   | 2024-12 初 / 2025-11-18 | 规范             | A   |
| CXL 市场规模各口径              | 卖方预测与市研报告           | —                      | 相差 15-60 倍，未调和 | C-D |
| Intel / AMD 各世代 CXL 支持范围 | 二手技术媒体              | —                      | 源间互相矛盾，仅取定性    | C   |

涌现资本产业研究部

2026 年 7 月 28 日

\*免责声明：本报告由涌现资本产业研究部独立编制，所载信息来源于公开渠道，力求准确但不保证完整性与时效性。报告中的分析、判断与评级仅反映编制日的看法，可能随情况变化而调整，不构成任何证券的买卖要约或投资建议。投资者应独立判断并自行承担投资风险。报告涉及的部分信息为未获公司确认的产业链传闻，已在正文中逐处标注置信度，读者应据此审慎对待相关结论。\*